

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-213382

(43)Date of publication of application : 20.08.1996

(51)Int.Cl.

H01L 21/316
H01L 21/76

(21)Application number : 07-015947

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 02.02.1995

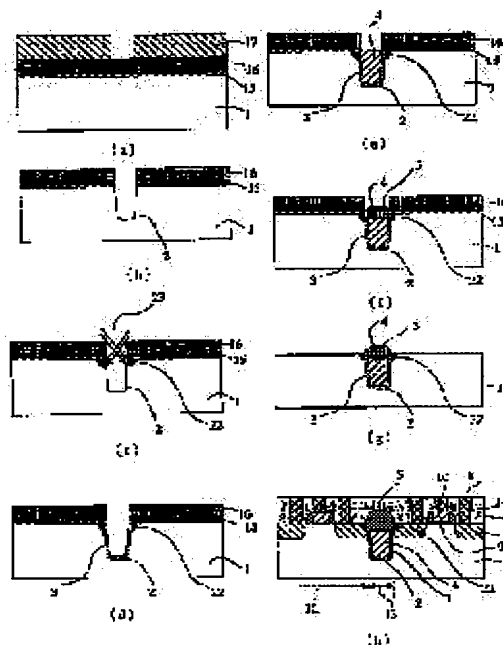
(72)Inventor : OISHI TOSHIYUKI
SHIOZAWA KATSUOMI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To obtain a semiconductor device having a large effective area wherein the bird's beak region is reduced and the integration level is high, by forming a region doped with nitrogen in the boundary region between an active element region and an isolation region which are formed on a semiconductor substrate.

CONSTITUTION: A silicon oxide film 15, a mask 16 and resist 17 are formed in order on a silicon substrate 1, and photo-lithography is so performed that the resist 17 is left in the part of an active element region 12. The pattern of the resist 17 is transferred to the mask 16 and the silicon oxide film 15, and the resist 17 is eliminated. A trench 2 is formed by eliminating the mask 16 and the silicon substrate 1 in an aperture part of the silicon oxide film 15. A region 22 doped with nitrogen is formed by obliquely implanting nitrogen ions. A silicon oxide film 3 is formed on the side surface of the trench 2. Polycrystalline silicon 4 is buried in the recessed part formed in the trench 2, and a silicon oxide film 5 is formed on the polycrystalline silicon 4. The mask 16 and the silicon oxide film 15 are eliminated, and an element like an MOS transistor is formed in the active region 12.



LEGAL STATUS

[Date of request for examination] 20.01.2000

[Date of sending the examiner's decision of rejection] 05.08.2003

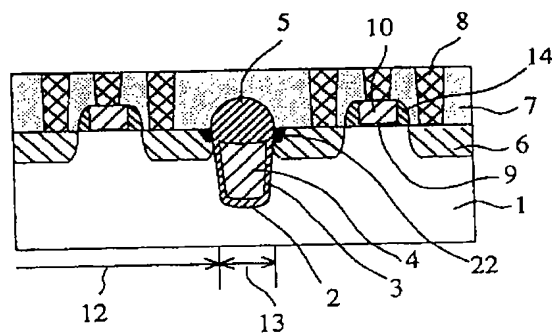
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

(11)特許出願公開番号

(43)公開日 平成8年(1996)8月20日



【特許請求の範囲】

【請求項1】 半導体基板に形成された活性な素子領域と、活性な素子領域を分離するために半導体基板に形成された分離領域から構成される集積回路であって、活性な素子領域と分離領域との境界領域に、窒素をドーピングした領域を設けたことを特徴とする半導体装置。

【請求項2】 上記分離領域がトレンチアイソレーションであって、半導体基板内に形成された溝内に絶縁体、または絶縁体と半導体、導電体のうち少なくとも一つを組み合わせた材料で埋め込んでなることを特徴とする請求項1記載の半導体装置。

【請求項3】 上記分離領域を構成する溝側壁に窒素のドーピング領域を設けたことを特徴とする請求項2記載の半導体装置。

【請求項4】 上記分離領域を構成する溝の側壁の上部にのみ、窒素のドーピング領域を設けたことを特徴とする請求項3記載の半導体装置。

【請求項5】 更に、上記分離領域を構成する溝の底部に窒素のドーピング領域を設けたことを特徴とする請求項3または4記載の半導体装置。

【請求項6】 上記分離領域を構成する溝の周囲の窒素のドーピング領域において、溝の上部のドーピング領域より下部のドーピング領域の窒素濃度が低いことを特徴とする請求項5記載の半導体装置。

【請求項7】 上記分離領域を構成する溝の幅が、溝の下部において上部よりも広がっていることを特徴とする請求項2記載の半導体装置。

【請求項8】 溝内部に埋め込まれる材料が内部に空孔を有することを特徴とする請求項7記載の半導体装置。

【請求項9】 上記窒素のドーピング領域がイオン注入によって形成されていることを特徴とする請求項1～8のいずれかに記載の半導体装置。

【請求項10】 上記分離領域がLOCOS法により作製した分離酸化膜であることを特徴とする請求項1記載の半導体装置。

【請求項11】 上記分離領域を構成する分離酸化膜と活性な素子領域の境界に、窒素のドーピング領域を設けたことを特徴とする請求項10記載の半導体装置。

【請求項12】 上記分離領域を構成する分離酸化膜と活性な素子領域の境界に設けた窒素のドーピング領域において、ドーピング濃度が上部より下部において低くなっていることを特徴とする請求項10記載の半導体装置。

【請求項13】 半導体基板に形成された活性な素子領域と、活性な素子領域を分離するために半導体基板に形成された分離領域から構成される集積回路であって、活性な素子領域に窒素のドーピング領域を設けたことを特徴とする半導体装置。

【請求項14】 上記活性な素子領域を構成する素子の一部がMOSトランジスタであって、上記MOSトラン

ジスタのゲート絶縁膜の下部に窒素のドーピング領域が設けられていることを特徴とする請求項13記載の半導体装置。

【請求項15】 上記活性な素子領域を構成する素子の一部がMOSトランジスタであって、ソースまたはドレイン領域と基板領域との境界領域に窒素のドーピング領域が設けられていることを特徴とする請求項13または14記載の半導体装置。

【請求項16】 半導体基板がシリコン基板またはSOI基板から構成されていることを特徴とする請求項1～15のいずれかに記載の半導体装置。

【請求項17】 DRAMまたはSRAMまたはフラッシュメモリであって、請求項1～16のいずれかに記載の構造を有することを特徴とする半導体装置。

【請求項18】 LOCOS法により半導体装置を製造するにあたり、

半導体基板全面に窒素イオンを注入して窒素をドーピングした領域を形成する工程と、活性な素子領域を覆うマスクを設けた後に該マスクを用いた半導体基板のエッチングにより基板上にリセスを設ける工程と、さらに該リセスの領域に熱酸化により酸化膜を形成した後に上記マスクを除去する工程を含むことを特徴とする半導体装置の製造方法。

【請求項19】 LOCOS法により半導体装置を製造するにあたり、

半導体基板上に活性な素子領域を覆うマスクを設けた後に該マスクを用いた半導体基板のエッチングにより基板上にリセスを設ける工程と、該マスクを用いた窒素の斜めイオン注入により上記リセスの側壁に窒素を注入する工程と、該リセスの領域に熱酸化により酸化膜を形成した後に該マスクを除去する工程を有することを特徴とする半導体装置の製造方法。

【請求項20】 LOCOS法により半導体装置の分離領域を形成するにあたり、

半導体基板上に活性な素子領域を覆う第1マスクと素子分離領域を覆う第2マスクを設ける工程と、活性な素子領域と分離領域の境界領域上にある第1マスクまたは第2マスクの少なくとも一方のマスクを除去した後に当該開口部に窒素のイオン注入を行う工程と、さらに第2マスクの除去後リセスの領域に熱酸化により酸化膜を作製しその後第1マスクを除去する工程を有することを特徴とする半導体装置の製造方法。

【請求項21】 トレンチ型分離領域を有する半導体装置を製造するにあたり、半導体基板上に活性な素子領域を覆うマスクを設けた後に該マスクを用いたエッチングにより基板上に溝を設ける工程と、該マスクを用いた窒素の斜めイオン注入により上記溝内部に窒素を注入する工程と、上記溝の内面を熱酸化する工程と、残る溝凹部を絶縁体、半導体および導電体から選ばれる1つまたは組合せの材料で埋め込む工程と、上記マスクを除去する

工程とを有することを特徴とする半導体装置の製造方法。

【請求項22】 更に、埋め込まれた上記絶縁体、半導体または導電体の上部表面を酸化することにより絶縁膜を形成する工程を含む請求項21記載の半導体装置の製造方法。

【請求項23】 上記請求項21又は22記載の方法を実施するにあたり、溝内部に窒素を注入する工程において、溝内部のドーピング濃度が上部より下部において低くなるように行い、上記溝の内面を熱酸化する工程において、溝内部の酸化膜を上部より下部において厚くなるように形成し、さらに該酸化膜を除去して溝内部形状を下部において上部よりも広く形成する工程と、形成された溝凹部を絶縁体、半導体および導電体から選ばれる1つまたは組合せの材料で埋め込む工程を含む半導体装置の製造方法。

【請求項24】 上記溝凹部を絶縁体、半導体および導電体から選ばれる1つまたは組合せの材料で埋め込む工程において、熱酸化を行い、溝内部に埋め込まれる材料の内部に空孔を形成することを特徴とする請求項23記載の半導体装置の製造方法。

【請求項25】 トレンチ型分離領域を有する半導体装置を製造するにあたり、半導体基板全面に窒素をイオン注入する工程と、活性な素子領域を覆うマスクを設ける工程と、該マスク以外の領域の半導体基板をエッチングし溝を設ける工程と、上記溝の内面の少なくとも一部に絶縁膜を形成した後凹部を設ける工程と、上記凹部を絶縁体、半導体または導電体で埋め込む工程と、上記マスクを除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項26】 トレンチ型分離領域を有する半導体装置を製造するにあたり、半導体基板全面に窒素をイオン注入する工程と、活性な素子領域を覆うマスクを設ける工程と、該マスク以外の領域の半導体基板をエッチングし溝を設ける工程と、上記溝の内面の少なくとも一部に絶縁膜を形成した後凹部を設ける工程と、上記凹部を絶縁体、半導体または導電体で埋め込む工程と、埋め込まれた上記絶縁体、半導体または導電体の上部表面を酸化することにより上部表面に絶縁膜を形成する工程と、上記マスクを除去する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体装置およびその製造方法に係り、特に二以上の活性な素子領域及び当該活性な素子領域の間を分離する分離領域を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】図20は電子情報通信学会技術報告(石嶋他, SSD84-51, 1984, p47)に示された従来の半導体装置

であり、1はp型シリコン基板、2は溝、3はシリコン酸化膜、4は多結晶シリコン、5はシリコン酸化膜、6はn型シリコン、7はシリコン酸化膜、8は電極、9はシリコン酸化膜、10は多結晶シリコン、11はバースピーク、12は活性な素子領域、13は素子分離領域、14はシリコン酸化膜のサイドウォールを示す。本構造に示されるように、従来の製造方法を用いた場合はシリコン酸化膜3及び5形成時に酸化膜15近傍において酸化膜3の成長速度が大きくなり、酸化膜3が横方向に成長することによってバースピーク20、21が形成される。かかるバースピークの横方向への広がりにはトランジスタの無効領域を形成し、半導体装置の実行面積の減少を引き起こすこととなる。

【0003】次に、バースピーク20、21の形成過程を製造方法を用いて説明する。図21は上記半導体装置の製造方法であり、15はシリコン酸化膜、16はマスク、17はレジスト、18は横方向の酸化速度、19は横方向の酸化速度、20、21はバースピークである。

【0004】図21(a)～(f)にかかる半導体装置の作製方法を示す。まず、図21(a)に示すようにp型シリコン基板1上にシリコン酸化膜15、マスク16、レジスト17をこの順に作製し、活性な素子領域12の部分にレジスト17を残すように写真製版を行う。マスク16は以下に説明するエッチング、酸化、イオン注入等のプロセス(マスク16を除去するまでの工程におけるプロセス)から活性な素子領域を守るためのマスクである。また、分離領域を作製するプロセスに必要な膜も含む。通常、シリコン酸化膜、シリコン窒化膜、多結晶シリコンを少なくともひとつ以上含む膜から構成されている。例えばシリコン窒化膜、シリコン酸化膜をこの順に作製した多層膜、多結晶シリコン、シリコン酸化膜をこの順に作製した多層膜等である。p型シリコン基板1上にマスク16を直接作製するとストレス等によりp型シリコン基板1に歪みが生じ、半導体装置の機能を劣化させる。このため、シリコン酸化膜15をp型シリコン基板1とマスク16の間に挿入する。シリコン酸化膜15はエッチングマスクとしても機能させることができるため、マスク16の中にも含めることもできるが、バースピーク発生原因の一つでもあるのでここではマスク16と区別する。次に図21(b)に示すようにレジスト17のパターンをマスク16、シリコン酸化膜15に反応性イオンエッチング等のエッチング技術により転写した後、レジスト17を除去、マスク16とシリコン酸化膜15の開口部のp型シリコン基板1を15、16をマスクとしてエッチングにより除去し、溝2を形成し、熱酸化により溝2の側表面にシリコン酸化膜3を形成し、凹部を設ける。この時、シリコン酸化膜3を形成する熱酸化によりバースピーク20が形成される。熱酸化は酸素がシリコン中に侵入し、シリコンと反応、シリコン酸化膜を形成することで進行する。シリコン酸化膜

15に近いp型シリコン基板1では酸素は溝2の側表面だけでなくシリコン酸化膜15からも供給されるため、図21(b)に示したようにシリコン酸化膜15に近いp型シリコン基板1では酸化速度18が大きくなり、シリコン酸化膜15から遠いp型シリコン基板1では酸化速度19が小さくなる(図21(b)で酸化速度18、19の大きさは矢印の大きさで示されている)。このため余分なシリコン酸化膜がシリコン酸化膜15に近いp型シリコン基板1で発生し、これがバズビーク20となる。次に図21(c)に示すように溝2に形成された凹部を多結晶シリコン4で埋め込む。これは全面に多結晶シリコンを堆積させた後、エッチバックや化学的機械研磨等を行う方法、凹部にのみ選択的に多結晶シリコンを堆積させる方法等により実現できる。続いて図21(d)に示すように熱酸化を行うことで多結晶シリコン4の上部にシリコン酸化膜5を形成する。この熱酸化の工程で図21(b)と同じ機構でバズビーク21がp型シリコン基板1の上部に形成される。シリコンが酸化され、シリコン酸化膜となると体積は増加し、その結果マスク16は上に押し上げられ、酸素の侵入を助長するためバズビークはさらに大きくなる。次に図21

(e)に示すようにマスク16とシリコン酸化膜15をエッチングにより除去する。この後、図21(f)に示すように活性な素子領域12にMOSトランジスタ等の素子を作る。図21(f)では活性領域12にn型シリコン6、シリコン酸化膜9、多結晶シリコン10、シリコン酸化膜のサイドウォール14しか示していないが、半導体装置の機能によってダイオード、バイポーラトランジスタ、容量、抵抗、配線等を作製しても良い。

【0005】このように従来の製造方法では、図21(b), (d)における熱酸化の工程でバズビークが発生し、レジスト17で規定された活性な素子領域中に大きく侵入し、活性な素子領域12と素子分離領域13の間にバズビーク領域11を形成することとなる。

【0006】

【発明が解決しようとする課題】ここで活性な素子領域12は半導体装置の機能を発揮させるため、また素子分離領域13は活性な素子領域の間を分離し活性な素子領域12の正常な動作を保証するために必要な領域であるが、バズビーク領域11は半導体装置を構成するためには不要な領域である。特に半導体装置の集積化が進むにつれて、かかるバズビークの存在は半導体装置の実効面積の低下を招き、半導体装置の集積度向上の妨げとなる。

【0007】そこで本発明は、上記問題点を解決するためになされたもので、半導体装置の機能上不要なバズビーク領域を低減し、高集積化された半導体装置においても実効面積の高い半導体装置及びその製造方法を提供するものである。

【0008】

【課題を解決するための手段】そこで本発明は上記目的を達成するために鋭意研究の結果、従来バズビークが形成されていた領域に窒素をドーピングした領域を設けることによりバズビークの形成を抑制できることを見出し、本発明を完成した。

【0009】即ち、本発明は半導体基板に形成された活性な素子領域と、活性な素子領域を分離するために半導体基板に形成された分離領域から構成される集積回路であって、活性な素子領域と分離領域の境界領域の少なくとも一部に、窒素をドーピングした領域を設けたことを特徴とする半導体装置の構造にある。

【0010】上記分離領域の一つは、半導体基板内に溝を作製し、かかる溝内に絶縁体、または絶縁体と半導体、導電体のうち少なくとも一つを組み合わせた材料で埋め込むことにより作製するトレンチ型分離領域であり、本発明はかかる分離領域を構成する溝に窒素のドーピング領域を形成するものである。窒素のドーピング領域は分離領域を構成する溝の側壁の上部のみに、または溝の側壁の上部および底部に、または溝の上部から深さ方向にむかって変化させて形成するものであり、さらに溝の上部の窒素のドーピング濃度より下部のドーピング濃度を低く形成するものであってもよい。また上記分離領域を構成する溝の幅は、溝の下部において上部よりも広がっている構造でもよい。上記分離領域への窒素のドーピングはイオン注入法によって行うことが好ましい。

【0011】また、上記分離領域の他の一つはLOCOS(Local Oxidation of Silicon)法により作製されたものであり、本発明はかかるLOCOS法で作製された分離領域を構成する分離酸化膜と活性な素子領域の境界に、窒素のドーピング領域を形成するものであるとともに、かかるドーピング濃度が上部より下部において低くなるように形成されるものでもある。

【0012】さらに本発明は半導体基板に形成された活性な素子領域と、活性な素子領域を分離するために形成された分離領域から構成される集積回路の活性な素子領域の少なくとも一部に窒素のドーピング領域を設けるものであり、またかかる活性な素子領域を構成する素子の一部がMOSトランジスタにより構成されている構造においては窒素のドーピング領域を該MOSトランジスタのゲート絶縁膜の下部に、または該MOSトランジスタのソース、ドレインの内部、周囲の少なくとも一部に設けるものでもある。

【0013】また本発明にかかる半導体基板はシリコン基板またはSOI基板(Silicon-On-Insulator)であってもよく、また半導体装置はDRAM(Dynamic Random Access Memory)またはSRAM(Static Random Access Memory)またはフラッシュメモリであってもよい。

【0014】さらに本発明は半導体基板全面に窒素イオンを注入する工程と、活性な素子領域を覆うマスクを設

けた後に該マスクを用いた半導体基板のエッチングにより基板上にリセスを設ける工程と、さらに該マスク以外の領域に熱酸化により酸化膜を形成した後に該マスクを除去する工程を有する半導体装置の製造方法を提供するものである。かかる製造方法の一つはLOCOS法で形成される分離領域を有する半導体装置に関するもので、半導体基板上に活性な素子領域を覆うマスクを設けた後に該マスクを用いた半導体基板のエッチングにより基板上にリセスを設ける工程と、該マスクを用いた窒素の斜めイオン注入により上記リセスの側壁に窒素を注入する工程と、該マスク以外の領域に熱酸化により酸化膜を形成した後に該マスクを除去する工程を有するLOCOS法にかかる半導体装置の製造方法及び、半導体基板上に活性な素子領域を覆う第1マスクと素子分離領域を覆う第2マスクを設ける工程と、活性な素子領域と分離領域の境界領域上にある第1マスクまたは第2マスクの少なくとも一方のマスクを除去した後に当該開口部に窒素のイオン注入を行う工程と、さらに第2マスクの除去後第1マスク以外の領域に熱酸化により酸化膜を作製しその後第1マスクを除去する工程を有するLOCOS法にか

かる半導体装置の製造方法である。

【0015】また製造方法の一つはトレンチ構造の分離領域を有する半導体装置に関するもので、半導体基板上に活性な素子領域を覆うマスクを設けた後に該マスクを用いたエッチングにより基板上に溝を設ける工程と、該マスクを用いた窒素の斜めイオン注入により上記溝の側壁に窒素を注入する工程と、上記溝の側表面の少なくとも一部に絶縁膜を形成した後に凹部を設ける工程と、上記凹部を絶縁体、半導体または導電体で埋め込む工程と上記マスクを除去する工程を有する半導体装置の製造方法、及び上記凹部を絶縁体、半導体または導電体で埋め込む工程の後に埋め込まれた絶縁体、半導体または導電体の上部表面を酸化することにより絶縁膜を形成する工程と、上記マスクを除去する工程とを有する半導体装置の製造方法でもある。また半導体基板上に活性な素子領域を覆うマスクを設けた後に該マスクを用いたエッチングにより基板上に溝を設ける工程と、該マスクを用いた窒素の斜めイオン注入により上記溝の側壁に窒素を注入する工程と、上記溝の側表面の少なくとも一部に絶縁膜を形成した後に凹部を設ける工程と、上記凹部を絶縁体、半導体または導電体で埋め込む工程と、上記マスクを除去する工程とを有する半導体装置の製造方法及び、上記凹部を絶縁体、半導体または導電体で埋め込む工程の後に、埋め込まれた絶縁体、半導体または導電体の上部表面を酸化することにより上部表面に絶縁膜を

形成する工程と、上記マスクを除去する工程とを有する半導体装置の製造方法でもある。

【0016】

【作用】本発明は、活性な素子領域と分離領域との境界領域に窒素をドーピングした領域を設けるもので、トレンチ型およびLOCOS型分離領域の形成にあたり、ドーピングされた窒素はシリコン中への酸素の拡散を抑制する、即ちシリコンの酸化を抑制する効果を有するため（図2）、溝内部またはリセス領域を熱酸化して分離領域を形成する時に境界領域を越えて酸化層が拡大することとはなくなる。即ち、バズビークの形成がなくなる。

【0017】トレンチ構造の分離領域を有する構造であって、かかる溝の周囲に窒素のドーピング領域を形成することにより分離領域におけるバズビークの形成を防止することができる。かかるドーピング領域は溝の側壁の上部のみでもよい（図4）。なぜなら、分離領域形成時のバズビークは特に溝の側壁上部において現れるからである。さらに、側壁の底部に窒素のドーピング領域を形成すると、底部における酸化絶縁膜の形成を抑制することができる（図6）。また、窒素のドーピング濃度は溝の上部から深さ方向に向かって変化し、特に溝の上部より下部の窒素濃度を低くすることにより（図9

（b））、分離領域を構成する溝の幅が、溝の下部において上部より広がっている構造を形成することができる（図8）。上記分離領域への窒素のドーピングはイオン注入の他、プラズマによるドーピングや窒素を含むガスによるドーピング、溝内部に埋め込まれる材料からの熱拡散等による方法が提案されているが、イオン注入法を用いることにより、必要な部分に選択的に窒素をドーピングすることが可能となる。

【0018】また、LOCOS法により作製した分離酸化膜からなる分離領域と活性な素子領域の境界領域に窒素のドーピング領域を形成することにより、リセスにおける分離領域の形成をバズビークを抑制しつつ行うことができる（図11）。かかる窒素のドーピング領域においてはドーピング濃度が上部より下部において低くなっているものでもよい。

【0019】さらに窒素のドーピング領域は酸素のみならず他の原子（例えばホウ素等）の拡散防止に対しても有効である。従って本発明は半導体基板上に形成された活性な素子領域と、活性な素子領域を分離するために形成された分離領域から構成される集積回路において、活性な素子領域と基板領域との境界領域に窒素のドーピング領域を設けることより、活性な素子領域からの不純物の拡散を抑制することができる。特に、かかる活性な素子領域を構成する素子の一部がMOSトランジスタにより構成されている構造においては窒素のドーピング領域を該MOSトランジスタのゲート絶縁膜の下部に設けることにより、ゲート絶縁膜の膜厚制御が容易になる（図18）。または該MOSトランジスタのソース、ドレイン

の内部、周囲の少なくとも一部に設けることによりソース、ドレインからの不純物の拡散が抑制され、浅い接合が形成できる(図17)。

【0020】本発明は半導体基板としてはシリコン基板及びSOI基板に、回路としてはDRAM、SRAM、フラッシュメモリに適用することができる。

【0021】また本発明は上記半導体装置の製造方法を提供するものでもある。本発明にかかる製造方法の一つはLOCOS法により作製した分離領域を有する構造にかかるものであり(図12, 14, 16)、半導体基板全面に窒素イオンを注入して窒素をドーピングした領域を形成することにより、リセスの領域に熱酸化により分離領域の酸化膜を形成するにあたり、バースビークの形成を抑制することができる。また、マスクを用いた窒素の斜めイオン注入によりリセスの側壁に窒素を注入することにより、該リセスの領域に熱酸化により分離領域の酸化膜を形成するにあたり、バースビークの形成を抑制することができる。上記マスクは活性な素子領域を覆う第1マスクと分離領域を覆う第2マスクとに区分して形成し、第1マスクと第2マスクとの間に存在する境界領域に窒素のイオン注入を行うことにより、境界領域に窒素のドーピング領域を容易に形成することができる。

【0022】他方、もう一つの方法はトレンチ構造からなる分離領域を有する構造にかかるもので(図3, 5, 7, 9, 10)、マスクを用いた窒素の斜めイオン注入により上記溝内部に窒素のドーピング領域を形成することができる。他方、半導体基板全面に窒素をイオン注入することによっても上記溝の周囲に窒素のドーピング領域を形成することができる。

【0023】さらに、埋め込まれた上記絶縁体、半導体または導電体の上部表面を酸化し絶縁膜を形成する工程においても酸化膜の横方向への形成を抑え、バースビークの形成を抑制することができる。

【0024】また、溝の内部に窒素を注入する工程において、溝の周囲のドーピング濃度が上部より下部において低くなるようにすることにより、窒素のドーピング濃度に逆比例して溝内部に形成される酸化膜の厚みが上部より下部において大きくなり、この酸化膜を除去することにより溝内部形状を下部において上部よりも広く形成することができる。上記溝凹部を絶縁体、半導体および導電体から選ばれる1つまたは組合せの材料で埋め込む工程において、溝内部に埋め込まれる材料の内部に空洞を形成することができ、かかる埋め込み材料中のストレスを緩和し、材料中の欠陥を低減できる。

【0025】

【実施例】

(実施例1) この発明の一実施例について説明する。図1において、22は窒素がドーピングされた領域を示す。窒素をシリコン中に含む領域を活性な素子領域12と素子分離領域13の境界に設けることにより、バースビーク

ク11を従来の半導体装置より減少させることができる。図2にシリコンの熱酸化を一定温度で一定時間行った時の窒素ドーピング量と形成されたシリコン酸化膜厚の関係を示す。この結果から窒素のドーピング量の増加によりシリコン酸化膜厚は減少することが分かる。即ち、シリコン酸化膜厚を窒素のドーピング量により制御できるのである。これはシリコン中に窒素が導入されることによりシリコン中への酸素の侵入、拡散が抑制されるためシリコンの酸化が抑制されるためと考えられる。これはシリコン窒化膜がほとんど熱酸化されないことから推測される。また上記結果から窒素が導入されたシリコンは酸素以外の元素のシリコン中での拡散も抑えることが予測される。従って、窒素が導入された領域中または接する領域にある原子の拡散(例えば熱を加えるプロセスにおける原子の拡散)を抑制することも可能と考えられる。具体的には素子分離領域中のチャンネル形成の抑制用にイオン注入されたボロン原子等、活性な素子領域のMOSトランジスタのソース、ドレイン(n型シリコン6)中のヒ素やリン等の原子の拡散を防ぎ、不純物分布のばけを少なくし、半導体装置の電気的特性の劣化を抑制することができる。

【0026】図3は図1の半導体装置の製造方法であり、23は窒素の斜めイオン注入を示す。本半導体装置の製造方法と従来の半導体装置の製造方法(図21)との違いは素子分離領域13と活性な素子領域12の境界領域でp型シリコン基板1の上部(図21でバースビークが発生している部分)に窒素を導入する点である。従来の製造方法で用いたマスクの構成、エッチング方法、溝の埋め込み方法等は本発明の製造方法においても用いることが可能である。まず、図3(a)に示すようにp型シリコン基板1上にシリコン酸化膜15、マスク16、レジスト17をこの順に作製し、活性な素子領域12の部分にレジスト17を残すように写真製版を行う。マスク16、シリコン酸化膜15は従来の製造方法と同じ働きをする。次に図3(b)に示すようにレジスト17のパターンをマスク16、シリコン酸化膜15に転写した後、レジスト17を除去、マスク16とシリコン酸化膜15の開口部のp型シリコン基板1を除去し、溝2を形成する。次に図3(c)に示すように窒素を斜めにイオン注入23し、窒素をドーピングした領域22を作製する。この時、イオンの注入角度を斜めにすることで溝2の側壁に窒素を導入することができる。窒素の濃度は溝2の側壁に形成する酸化膜厚により図2から決定する。また窒素の導入方法はイオン注入の他にプラズマによるドーピングや窒素を含むガスによるドーピング等の方法で窒素を導入してもよい。また、本実施例ではシリコンに直接、窒素イオン注入しているが、溝2の側壁にシリコン酸化膜を作製し、このシリコン酸化膜越しに窒素をイオン注入しても良い。このシリコン酸化膜は次工程(図3(d))のシリコン酸化膜3を兼ねても良い

し、シリコン酸化膜を除去後、新たにシリコン酸化膜3を熱酸化で作製しても良い。次に図3(d)に示すように熱酸化により溝2の側表面にシリコン酸化膜3を形成し、凹部を設ける。窒素の導入された溝2の上部22の酸化速度は従来の酸化速度18より遅いため従来の製造方法で形成されるバースピーク20がなくなる。酸化は窒素を注入した後、熱処理(不活性ガス中で熱を加える処理)を行ってから行ってもよい。この熱処理でシリコン中の窒素を活性化することでより効率よくシリコンの酸化を抑えることができる。また、本実施例では熱酸化は一度しか行っていないが溝2の側壁に存在するプロセスダメージを除去するために溝2の側壁を熱酸化し、シリコン酸化膜を形成、そのシリコン酸化膜を除去、新たに熱酸化し、シリコン酸化膜3を作製してもよい。次に図3(e)に示すように溝2に形成された凹部を多結晶シリコン4で埋め込む。次に図3(f)に示すように熱酸化を行うことで多結晶シリコン4の上部にシリコン酸化膜5を形成する。この熱酸化工程においても導入された窒素によって溝2に接する部分の酸化が抑制されるため、バースピーク21の発生はない。このため従来の作製方法で起きるマスク16の押し上げもほとんど発生しない。次に図3(g)に示すようにマスク16とシリコン酸化膜15を除去する。その後、図3(h)に示すように活性な素子領域12にMOSトランジスタ等の素子を作る。図3(h)ではMOSトランジスタしか示していないが、半導体装置の機能によってバイポーラトランジスタ、ダイオード、容量、抵抗、配線等を作製しても良いことは従来の半導体装置と同様である。このような活性な素子を用いた回路としてはダイナミックランダムアクセスメモリ(DRAM)、スタティックランダムアクセスメモリ(SRAM)、フラッシュメモリ等がある。また、基板はシリコンの他にシリコンオンインシュレータ(SOI)、ガリウムヒ素、インジウムリン等の基板を用いてもよい。また、本実施例1では溝2に形成された凹部の埋め込み材料として多結晶シリコンを用いたが非晶質シリコン、結晶シリコン、ゲルマニウム、不純物をドーピングした多結晶シリコン、不純物をドーピングした非晶質シリコン等他の半導体や導電体でもよい。また、多結晶シリコン4を酸化し、上部にシリコン酸化膜5を設けたが、多結晶シリコン4の上部にシリコン酸化膜、シリコン窒化膜等の絶縁膜を堆積させ、シリコン酸化膜5に代えても良い。この場合、多結晶シリコン4の酸化によるバースピーク21は発生しないため、バースピーク20のみを制御すればよく、ドーピングする窒素量は多結晶シリコンを用いる場合より少なくてもよい。

【0027】(実施例2) この発明の他の一実施例を図4で説明する。図4において24はシリコン酸化膜を示す。半導体装置の内部で活性な素子領域の間に溝を設けて分離するいわゆるトレンチ分離では、溝の埋め込み材

料として、実施例1では半導体(例えば多結晶シリコン)や導電体を用いたが、この他にシリコン酸化膜、シリコン窒化膜等の絶縁膜を用いることも可能である。本実施例2は溝をシリコン酸化膜で埋め込んだ例であり、このように活性な素子領域間を絶縁材料であるシリコン酸化膜24で埋め込むことによっても活性な素子間を絶縁することができる。このような構成を用いる場合も、実施例1と同様、窒素を導入する部分はバースピークが発生する領域、すなわち活性な素子領域12と素子分離領域13の境界領域である。半導体装置の活性な素子領域の構成、製造方法等は従来の半導体装置や実施例1で用いた構成や方法を用いることができる。このことは以下の実施例についても同様である。

【0028】図5は図4の半導体装置の製造方法を示す。図5(a)の構造に至る過程は図3(a)から(d)と同じである。本実施例では窒素を導入する領域は実施例1と同じであるため、窒素が導入された領域を作製する方法も実施例1と同じ方法の斜めのイオン注入等の技術で作製できる。図3(d)の構造を作製した後、溝2に形成された凹部とその上部をシリコン酸化膜24で埋め込む。これは全面にシリコン酸化膜を堆積させた後マスク16の上部までエッチバックする方法、選択デポジションでマスク16の上部までシリコン酸化膜24を埋め込む方法等で行う。次に図5(b)に示すようにマスク16とシリコン酸化膜15を除去する。次に図5(c)に示すように活性な素子領域12の構造を作製する。また、本実施例では、溝2に形成された凹部の埋め込み材料としてシリコン酸化膜を用いたが凹部の下部を多結晶シリコン、上部をシリコン酸化膜で埋め込んでもよい。同様に凹部の下部を半導体や導電体、上部を絶縁膜で埋め込んでもよい。また、本実施例では溝2の側壁を熱酸化してシリコン酸化膜3を設けたが、この工程を行わず、溝2を直接、シリコン酸化膜等の絶縁膜等で埋め込んでもよい。

【0029】(実施例3) 本発明の他の一実施例を図6で説明する。図6において、25は窒素がドーピングされた領域を示す。窒素が導入されたシリコンはその酸化速度が遅くなるが、この現象はバースピーク量を制御すること以外にも利用できる。本実施例ではバースピークを制御すると同時にフィールドシールド型のトレンチ分離構造を作製した例について説明する。窒素をトレンチの側壁および底部にイオン注入すると、このうちトレンチ底部に導入された窒素は、シリコン酸化膜3の作製工程である熱酸化中にトレンチ底部の酸化を抑制する役割を果たす。従って、図6に示すようにバースピークが抑制され、かつトレンチ底部に絶縁膜が存在しない構造の素子分離領域13を形成することができる。このように素子分離を行う溝の周囲で窒素濃度の分布をもたせることで簡単に複雑な構造が実現できる。

【0030】図7は図6の半導体装置の製造方法を示

す。図7において、26は窒素のイオン注入である。図7(a)の構造に至る過程は図3(a)から(b)と同じである。溝2を形成した後、図7(a)に示すように窒素の斜め注入によりバースピーク抑制用の窒素を溝の側壁上部(窒素がドーピングされた領域22)に導入する。次に図7(b)に示すように窒素のイオン注入26を行い、溝2の底部に窒素を導入する。このとき、窒素量はシリコン酸化膜3を作製する熱酸化でシリコン酸化膜が生じない程度にする。また、溝2の底部に絶縁膜が発生しても、多結晶シリコン4とp型シリコン基板1が電気的に導通されている程度の薄い絶縁膜を形成する窒素量でもよい。次に図7(c)に示すように熱酸化により溝2の側壁のみにシリコン酸化膜3を形成する。このとき、窒素がドーピングされた領域22によってバースピークの発生が抑制される。次に図7(d)に示すように図7(c)で形成された凹部を多結晶シリコン4で埋め込む。次に図7(e)で示すように熱酸化によりシリコン酸化膜5を形成する。この時、窒素がドーピングされた領域22によってバースピークの制御がなされることは実施例1で説明した。次にマスク16とシリコン酸化膜15を除去し(図7(f))、活性な素子領域12を作製する(図7(g))。本実施例では溝2に形成した凹部の埋め込みとして多結晶シリコン4を用いたが他の半導体や導電体で埋め込んでもよい。溝2に形成した凹部の埋め込み方については実施例1で説明した例を本実施例でも適用できる。

【0031】(実施例4)本発明の他の一実施例を図8で説明する。図8において、27は溝、28はシリコン酸化膜、29は空孔を示す。トレンチ構造作製時に、トレンチ中に空孔を形成することによりトレンチ分離中に貯まるストレスを緩和することができる。ストレスが少ない分離は、欠陥が少なくなるので分離領域のリーク電流が減少し、優れた分離性能が実現できる。即ち、本発明を用いることで空孔をトレンチ分離内に形成した半導体装置を実現することができる。

【0032】図9は図8の半導体装置の作製方法を示す。図9において、30は窒素をドーピングした領域、31は熱酸化で形成したシリコン酸化膜である。図9(a)の構造にいたる過程は図3(a)から(b)と同じである。溝2を形成した後、図9(a)に示すように窒素を斜めにイオン注入する。窒素のイオン注入の角度とドーズ量を調整することで(必要に応じてイオン注入を数度に分けて行ってもよい)図9(b)に示すような窒素のドーピング、即ち溝2の上部(A)から溝2の下部(A')に向かって窒素量を減少させるようなドーピングを行う。図9(b)において縦軸は図9(a)のA-A'断面の位置であり横軸は窒素のドーピング量である。ここで窒素ドーピング量が多いと酸化速度が減少するためシリコン酸化膜厚は減少する。従って、図9

(a)、(b)の構造を熱酸化すると図9(c)に示す

ようなシリコン酸化膜31(溝2の上部に形成されたシリコン酸化膜厚より溝2の下部に形成されたシリコン酸化膜厚の方が厚い構造のシリコン酸化膜)が形成される。次にシリコン酸化膜31を選択的にエッチングすることで図9(d)に示すような溝27(溝上部の幅より溝下部の幅が広い構造)を形成する。次にCVD等でシリコン酸化膜を堆積し、エッチバックすることで図9(e)に示すような空孔を持った構造を形成する。シリコン酸化膜の堆積では堆積が試料の全ての面で等方的に起きるため、溝上部が溝下部より幅が狭いと、溝内部に空孔が発生するのである。また、溝27の側壁を熱酸化し、側壁にシリコン酸化膜を形成した後、CVD等でシリコン酸化膜を堆積しても良い。次にマスク16、シリコン酸化膜15を除去し、活性な素子領域にMOSトランジスタ等の素子を作製する(図9(f))。

【0033】(実施例5)本発明の他の一実施例を図10で説明する。図10において、32はシリコン酸化膜(下敷酸化膜)、33は基板全面への窒素イオン注入、34は窒素ドーピングされた領域、35はマスクを示す。本実施例によっても図1に示した構造が実現されるので、ここでは斜めのイオン注入法を用いない本製造方法について説明する。まず、図10(a)に示すようにシリコン酸化膜(下敷酸化膜)32越しにシリコン基板全面に窒素をイオン注入33し、窒素がドーピングされた領域34を作製する。ダメージ無く窒素を基板にイオン注入できればシリコン酸化膜(下敷酸化膜)32は無くても良い。次に図10(b)に示すようにシリコン酸化膜32上にマスク35、レジスト17をこの順に作製し、活性な素子領域12の部分にレジスト17を残すように写真製版を行う。マスク35、シリコン酸化膜32は実施例1でのマスク16、シリコン酸化膜15と同様の働きで、このマスク35、シリコン酸化膜32を除去するまでの工程でプロセスから活性な領域を守る働きをする。次に図10(c)に示すようにレジスト17のパターンをマスク35、シリコン酸化膜32に転写した後、レジスト17を除去、マスク35とシリコン酸化膜32の開口部のp型シリコン基板1をエッチングし、溝2を形成する。次に図10(d)に示すように熱酸化により溝2の側表面にシリコン酸化膜3を形成し、凹部を設ける。窒素のドーピングされた領域34の内、溝2の上部に接する部分の窒素が溝2の上部の酸化速度を遅くするため、従来の製造方法で形成されていたバースピーク20の発生が抑制される。窒素を注入した後(図10(a))、ここまでに至る工程の間で熱処理(不活性ガス中で熱を加える処理)を行ってシリコン中の窒素を活性化させても良い。また、本実施例では熱酸化は一度しか行っていないが溝2の側壁に存在するプロセスダメージを除去するために溝2の側壁を熱酸化し、シリコン酸化膜を形成、そのシリコン酸化膜を除去した後さらに、新たな熱酸化を行いシリコン酸化膜3を作製しても良

い。シリコン酸化膜3を作製した後、溝2に形成された凹部に多結晶シリコン4を埋め込む。次に図10(e)に示すように熱酸化を行なうことで多結晶シリコンの上部にシリコン酸化膜5を形成する。この熱酸化の工程においても導入された窒素によってバースピーク21の発生が抑制される。このため従来の作製方法で起きるマスク35の押し上げもほとんど発生しない。次に図10(f)に示すようにマスク35とシリコン酸化膜32、窒素が導入された領域(窒素がドーピングされた領域33でこの工程までに残っている部分)を除去する。この後、図10(g)に示すように活性な素子領域12にMOSトランジスタ等の素子を作る。本実施例では図10(f)の工程で窒素がドーピングされた領域(窒素がドーピングされた領域33でこの工程までに残っている部分)を除去したが、除去せずにおいても良い。活性な素子領域に窒素を残す長所としてはMOSトランジスタのゲート電極の不純物拡散防止によるゲート電極の空乏化(ゲート電極に窒素を導入)、MOSトランジスタのソース、ドレインの不純物拡散防止による浅い接合の形成(ソース、ドレインに窒素を導入)等である。活性な素子領域に窒素を導入する方法としては図10(a)の工程でバースピーク抑制のための窒素イオン注入と兼ねる(数回に渡ってイオン注入を行っても良い)か、または活性な素子領域を作製する工程で窒素をイオン注入しても良い。また図10(d)において多結晶シリコン4の代わりにシリコン酸化膜を埋め込み、図5に示す工程で半導体装置を作製しても良い。

【0034】(実施例6)本発明の他の一実施例を図11で説明する。図11において、36は窒素がドーピングされた領域、37は熱酸化で形成されたシリコン酸化膜を示す。実施例1に示したように窒素を導入したシリコンは酸化速度が遅い。これをLOCOSを用いた素子分離に適用することも可能である。本実施例ではその一例について説明する。LOCOSにおいても活性な素子領域と素子分離領域の境界でバースピークが生じる。このためバースピークが発生する境界領域(図11の窒素がドーピングされた領域36)に窒素を導入することでかかるバースピークの発生を抑制することができる。

【0035】図12は図11の半導体装置の製造方法を示す。図12において、38はマスク、39はマスク、40はサイドウォール、41、42はマスク、43は窒素イオン注入である。まず図12(a)に示すようにp型シリコン基板1上にシリコン酸化膜15、マスク38、レジスト17をこの順に作製し、活性な素子領域12の部分にレジスト17を残すように写真製版を行なう。マスク38は従来の作製方法におけるマスク16と同じ働きをする。次に図12(b)に示すようにレジスト17のパターンをマスク38に転写した後、レジスト17を除去する。次に図12(c)に示すようにマスク39(図12(d)でのサイドウォール40を作製する

ための膜)を全面に堆積させた後、異方性エッチングを行うことにより図12(d)に示すようなサイドウォール40を作製する。この工程でサイドウォール40が活性な素子領域と素子分離領域の境界に作製される。次に図12(e)に示すようにマスク41(図12(f)でのマスク42を作製するための膜)を全面に堆積させた後、マスク41をエッチバックすることにより素子分離領域上にマスク42を形成する(図12(f))。次に図12(g)に示すようにマスク40を選択的に除去する。これで活性な素子領域と素子分離領域の境界領域が開口された。本実施例では開口部に窒素イオン注入時のダメージを避けるためのシリコン酸化膜を残しているがイオン注入のダメージが少なければ開口部のシリコン酸化膜はなくてもよい。次に図12(h)に示すように窒素イオン注入43を行い、活性な素子領域と素子分離領域の境界領域に窒素がドーピングされた領域36を形成する。この工程ではマスク38とマスク42は窒素イオン注入用のマスクとして働く。次に図12(i)に示すようにマスク42を選択的に素子分離領域から除去した後図12(j)に示すように熱酸化を行い、シリコン酸化膜37を形成する。この時、窒素をドーピングした領域36が活性な素子領域と素子分離領域の境界にあるため熱酸化で形成されるシリコン酸化膜37は活性な素子領域にまで達しない。即ちバースピークの発生が抑制された素子分離構造が作製できる。本実施例ではシリコン酸化膜15を全面に残して熱酸化を行ったが、活性な素子領域以外のシリコン酸化膜15を除去した後熱酸化を行い、シリコン酸化膜37を形成してもよい。次に図12(k)に示すようにマスク38とシリコン酸化膜15を除去する。この後、図12(l)に示すように活性な素子領域12にMOSトランジスタ等の素子を作る。本実施例におけるマスク38、マスク40、マスク42は例えば、マスク38にシリコン窒化膜、マスク40に多結晶シリコン、マスク42にシリコン酸化膜を用いればよい。バースピークの大きさはp型シリコン基板1の上部から下部に向かって徐々に減少するため、導入する窒素量も深さ方向に一定でなく、上部から下部に向かって減少する分布を持たせてもよい。また、本実施例ではマスク42をマスク38に自己整合的に形成したがマスク38とマスク42を写真製版を2回することで形成してもよい(図12(a)でレジストを活性な素子領域と素子分離領域の部分に残し、エッチングすることで活性な素子領域と素子分離領域の境界領域にのみ、マスクを開口させる。この後、窒素イオン注入して、窒素がドーピングされた領域36を形成する。次に活性な素子領域にのみレジストを残すように写真製版を行う。この後、エッチングにより素子分離領域の上のマスクを除去する。レジストを除去することで図12(i)の構造が作製される。この後の工程は図12(j)から(l)と同じである)。また、本実施例ではマスク42を、マスク

38に自己整合的に形成したが図12(b)の構造を作製した後、窒素イオン注入し、サイドウォール40を作製、開口されている素子分離領域の窒素をエッチングで取り除いて、サイドウォール40を選択的に除去することで図12(i)の構造を形成してもよい。この構造では図12(i)で素子分離領域の部分の基板がリセスされた構造となっているが、本発明の効果を用いることが可能である。

【0036】(実施例7)本発明の他の一実施例を図13で説明する。全面に窒素イオン注入を行う製造方法をトレンチ分離に適用した例を実施例5で説明したが、LOCOS法を用いた素子分離においても全面に窒素イオン注入を行う方法を適用することが可能であり、図13に示すようにバーズビークの発生を抑制した半導体装置を実現することができる。図14に図13の半導体装置の製造方法を示す。図14において、44はリセスである。まず、図10(a)から(b)の工程を行う。すなわち、図10(a)に示すようにシリコン酸化膜(下敷酸化膜)32越しにシリコン基板全面に窒素をイオン注入33し、窒素がドーピングされた領域34を作製する。次に図10(b)に示すようにp型シリコン基板1上にマスク35、レジスト17をこの順に作製し、活性な素子領域12の部分にレジスト17を残すように写真製版を行う。次にレジスト17のパターンをマスク35、シリコン酸化膜32に転写した後、レジスト17を除去、マスク35とシリコン酸化膜32の開口部のp型シリコン基板1をエッチングし、リセス44を形成する(図14(a))。このリセス44を形成することで素子分離領域の窒素を導入した領域が除去され、シリコン酸化膜を熱酸化により容易に作製できるようになる。次に図14(b)に示すように熱酸化によりシリコン酸化膜37を形成する。熱酸化の際にバーズビークが発生しやすい活性な素子領域との境に窒素が導入されたシリコンがあるため、バーズビークの発生はかかる窒素により抑制される。本実施例では素子分離領域の窒素をドーピングした領域は全て除去したがシリコン酸化膜を形成するのを阻害しない量であれば素子分離領域に窒素が残存していてもよい。次に図14(c)に示すようにマスク35、シリコン酸化膜32、活性な素子領域の窒素ドーピング領域を除去する。次に図14(d)に示すように活性な素子領域にMOSトランジスタ等の素子を作製する。本実施例では活性な素子領域に存在した窒素を全て除去したが活性な素子の特性を劣化させなければ窒素が活性な素子領域に残っていてもよい。また、実施例5で説明したように不純物の拡散等を防止する目的で活性な素子領域に積極的に窒素を残したり、窒素を導入したりしてもよい。

【0037】(実施例8)本発明の他の一実施例を図15で説明する。LOCOS法においてもp型シリコン基板1上の分離領域と活性な素子領域との境界領域に局所的

に窒素をドーピングすること(例えば窒素のイオン注入により窒素がドーピングされた領域45)で図15に示すようなバーズビークの発生を抑制した半導体装置を実現することができる。図16は図15の半導体装置の製造方法を示す。図16において、45は窒素ドーピングした領域である。まず、図3(a)に示すようにp型シリコン基板1上にシリコン酸化膜15、マスク16、レジスト17をこの順に作製し、活性な素子領域12の部分にレジスト17を残すように写真製版を行う。次にレジスト17のパターンをマスク16、シリコン酸化膜15に転写した後、レジスト17を除去、マスク16とシリコン酸化膜15の開口部のp型シリコン基板1を除去し、リセス44を形成する(図16(a))。次に図16(b)に示すように斜めのイオン注入23により窒素をリセス44の側壁上部(窒素をドーピングした領域45)に導入する。次に図16(c)に示すように熱酸化によりシリコン酸化膜37を形成する。この時、窒素が導入された領域45があるためシリコン酸化膜37は活性な素子領域にまで達せず、バーズビークの発生が抑制される。次に図16(d)に示すようにマスク16、シリコン酸化膜15を除去した後、図16(e)に示すようにMOSトランジスタ等の活性な素子領域12を作製する。

【0038】(実施例9)実施例8では窒素を導入した領域は活性な素子領域と素子分離領域の境界領域であったが、それに加えて活性な素子領域の部分に窒素をイオン注入等の方法で導入してもよい。図17から図19はその例を示す。46は窒素をドーピングした領域、47は窒素をドーピングした領域、48は窒素をドーピングした多結晶シリコンである。窒素を導入したシリコン基板では窒素が不純物(ヒ素、リン等)の拡散を抑制すると推測される。このため、窒素をMOSトランジスタのソース、ドレインの部分(窒素をドーピングした領域46)に導入しておくことでソース、ドレインの不純物の拡散が抑制され、浅い接合が形成される(図17)。また、窒素が導入されたシリコンの酸化速度が遅いことを利用してMOSトランジスタの薄いゲート酸化膜を形成することが可能である。即ち、窒素をMOSトランジスタのゲート領域にイオン注入等で導入し、ゲート酸化膜の熱酸化を行うことにより、かかるゲート部分のシリコンの酸化速度を遅くでき、酸化時間の制御性即ちゲート酸化膜の膜厚の制御性が向上する(図18)。また、結晶シリコン以外の材料である多結晶シリコン等に窒素を導入してもすでに説明した本発明の効果は有効であると考えられる。例えば、MOSトランジスタのゲート電極を形成する多結晶シリコンに窒素を導入した場合、多結晶シリコン中の不純物がゲート酸化膜やその下のp型シリコン基板1に拡散するのを防止する。図19は窒素をMOSトランジスタのゲート電極の多結晶シリコンに導入した例で、多結晶シリコンにドーピングされた不純物の

拡散が抑制され、ゲート電極の空乏化が防止できる。

【0039】

【発明の効果】以上の説明で明らかなように、本発明によれば分離領域と活性な素子領域の境界領域に窒素のドーピング領域を設けることにより、当該窒素のシリコンの酸化抑制作用(シリコン中への酸素の拡散抑制作用)によりシリコン酸化膜形成時に生じるシリコン酸化領域の横方向への成長を抑制し、いわゆるバズビークの形成を抑えることが可能となる。これにより半導体装置の実効面積の低下を防ぐことが可能となり、半導体装置の高集積化が可能となる。

【0040】特に窒素のドーピング濃度が上部より下部において低くすることにより、熱酸化時に形成される酸化膜の量を下部になるほど多くなるように制御し、酸化膜作製後に当該酸化膜を選択エッチングすることにより、溝幅が上部より底部において広い構造のトレンチ構造を得ることができ、トレンチ分離中に貯まるストレスを緩和し欠陥を低減することにより絶縁特性の良好なトレンチ構造を作製することができる。

【0041】また本発明はLOCOS法により作製された分離酸化膜からなる分離領域と活性な素子領域との境界領域においても上記トレンチ構造と同様にバズビークの形成を抑制することが可能となる。

【0042】また本発明にかかる窒素のドーピングによる酸素原子の拡散抑制効果は、他の原子に対しても有効と考えられる。従って、活性な素子領域へ窒素をドーピングすることにより半導体中の不純物拡散を制御することもできる。例えば、活性な素子領域のMOSトランジスタのゲート絶縁膜の下部またはMOSトランジスタのソース、ドレインの内部、周囲の少なくとも一部に窒素をドーピングすることにより、ゲート酸化膜の成長速度を遅くし酸化膜の膜厚の制御性を向上させたり、ソース、ドレイン部からの不純物拡散を抑制したりすることが可能となる。

【0043】本発明は半導体基板がシリコン基板またはSOI基板の場合にも、または回路がDRAM、SRAM、フラッシュメモリである場合にも有効である。

【0044】更に本発明方法によれば、上記トレンチ構造からなる分離領域またはLOCOS法で作製した分離領域を有する集積回路において、半導体基板全面に窒素イオンを注入して窒素をドーピングした領域を形成することにより、またはマスクを用いた窒素の斜めイオン注入によりリセスおよび溝周囲に窒素を注入することにより、リセスおよび溝周囲の所要箇所に窒素のドーピング領域を形成するができ、バズビークの発生を抑制し、半導体装置の実効面積を向上させる半導体装置を製造することができる。

【図面の簡単な説明】

【図1】 この発明の一実施例による半導体装置を示す構造図である。

【図2】 この発明に用いる窒素が導入されたシリコンの酸化速度を示す図である。

【図3】 この発明の一実施例による半導体装置の作製方法を示す図である。

【図4】 この発明の一実施例による半導体装置を示す構造図である。

【図5】 この発明の一実施例による半導体装置の作製方法を示す図である。

【図6】 この発明の一実施例による半導体装置を示す構造図である。

【図7】 この発明の一実施例による半導体装置の作製方法を示す図である。

【図8】 この発明の一実施例による半導体装置を示す構造図である。

【図9】 この発明の一実施例による半導体装置の作製方法を示す図である。

【図10】 この発明の一実施例による半導体装置の作製方法を示す図である。

【図11】 この発明の一実施例による半導体装置を示す構造図である。

【図12】 この発明の一実施例による半導体装置の作製方法を示す図である。

【図13】 この発明の一実施例による半導体装置を示す構造図である。

【図14】 この発明の一実施例による半導体装置の作製方法を示す図である。

【図15】 この発明の一実施例による半導体装置を示す構造図である。

【図16】 この発明の一実施例による半導体装置の作製方法を示す図である。

【図17】 この発明の一実施例による半導体装置を示す構造図である。

【図18】 この発明の一実施例による半導体装置を示す構造図である。

【図19】 この発明の一実施例による半導体装置を示す構造図である。

【図20】 従来の半導体装置を示す構造図である。

【図21】 従来の一実施例による半導体装置の作製方法を示す図である。

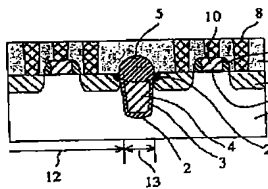
【符号の説明】

- 1 p型シリコン基板
- 2 溝
- 3 シリコン酸化膜
- 4 多結晶シリコン
- 5 シリコン酸化膜
- 6 n型シリコン
- 7 シリコン酸化膜
- 8 電極
- 9 シリコン酸化膜
- 10 多結晶シリコン

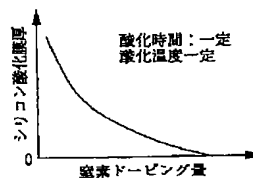
- 1 1 パーズピーク
- 1 2 活性な素子領域
- 1 3 素子分離領域
- 1 4 シリコン酸化膜のサイドウォール
- 1 5 シリコン酸化膜
- 1 6 マスク
- 1 7 レジスト
- 1 8 横方向の酸化速度
- 1 9 横方向の酸化速度
- 2 0 パーズピーク
- 2 1 パーズピーク
- 2 2 窒素がドーピングされた領域
- 2 3 窒素の斜めイオン注入
- 2 4 シリコン酸化膜
- 2 5 窒素がドーピングされた領域
- 2 6 窒素のイオン注入
- 2 7 溝
- 2 8 シリコン酸化膜
- 2 9 空孔

- * 3 0 窒素をドーピングした領域
- 3 1 熱酸化で形成されたシリコン酸化膜
- 3 2 シリコン酸化膜 (下敷酸化膜)
- 3 3 基板全面への窒素イオン注入
- 3 4 窒素がドーピングされた領域
- 3 5 マスク
- 3 6 窒素がドーピングされた領域
- 3 7 熱酸化で形成されたシリコン酸化膜
- 3 8 マスク
- 10 3 9 マスク
- 4 0 サイドウォール
- 4 1 マスク
- 4 2 マスク
- 4 4 リセス
- 4 3 窒素イオン注入
- 4 5 窒素をドーピングした領域
- 4 6 窒素をドーピングした領域
- 4 7 窒素をドーピングした領域
- * 4 8 窒素をドーピングした多結晶シリコン

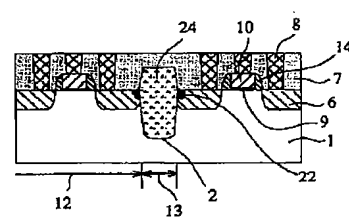
【図 1】



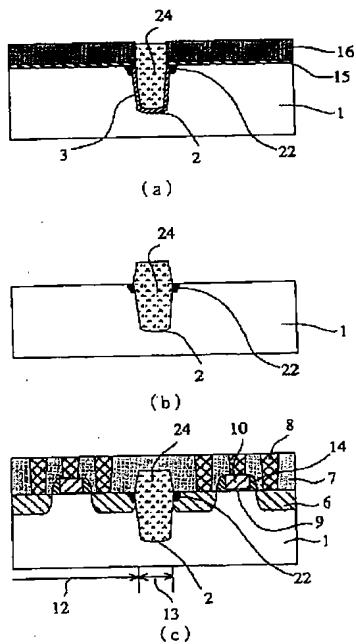
【図 2】



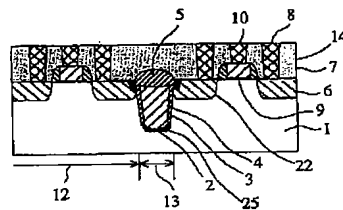
【図 4】



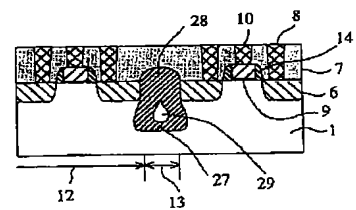
【図 5】



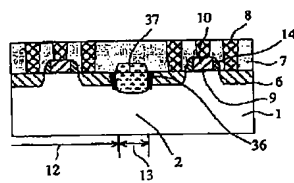
【図 6】



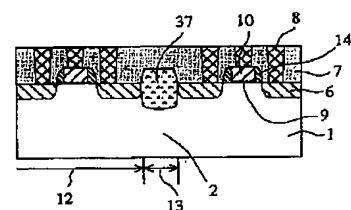
【図 8】



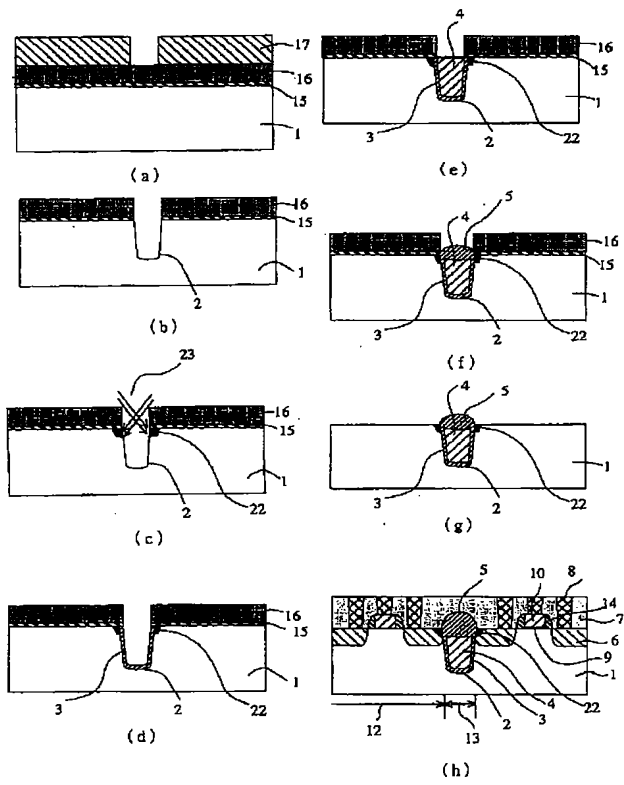
【図 11】



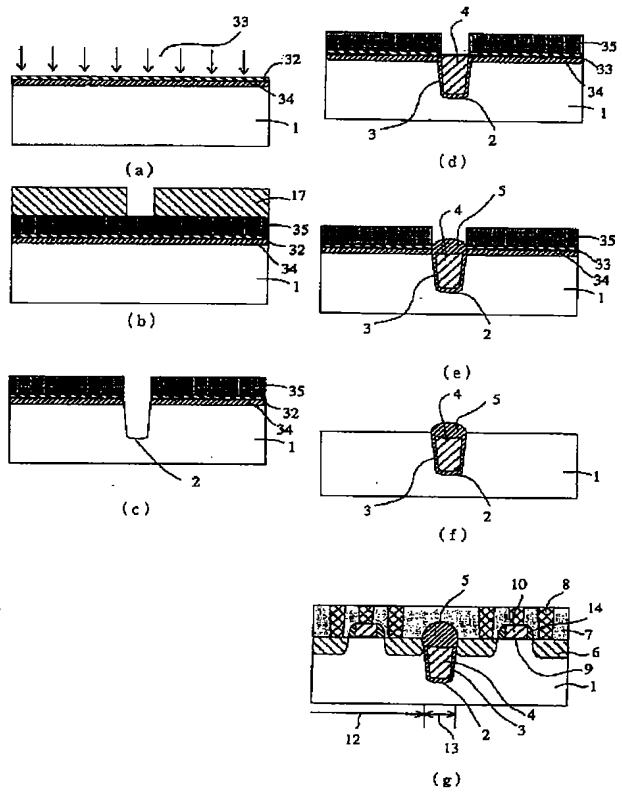
【図 13】



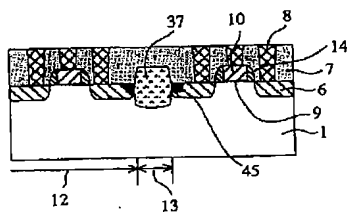
【図3】



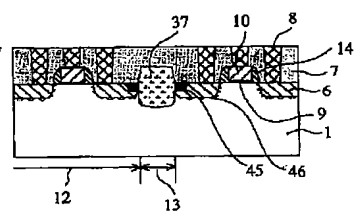
【図10】



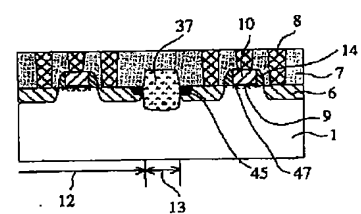
【図15】



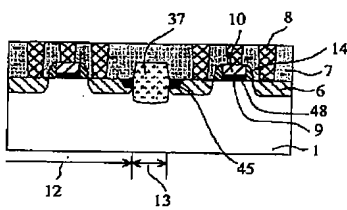
【図17】



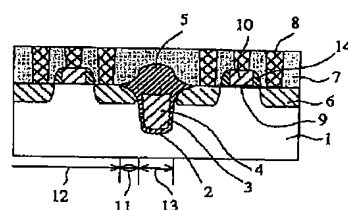
【図18】



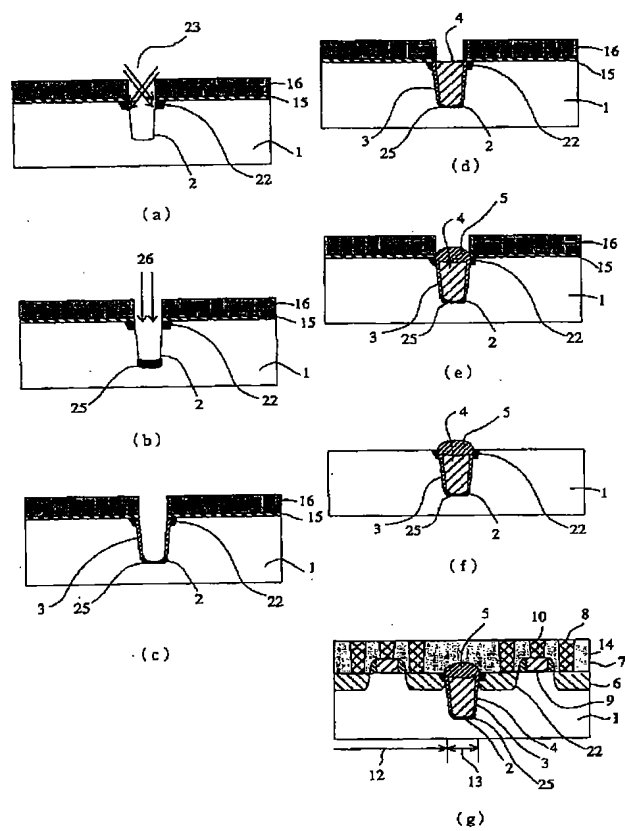
【図19】



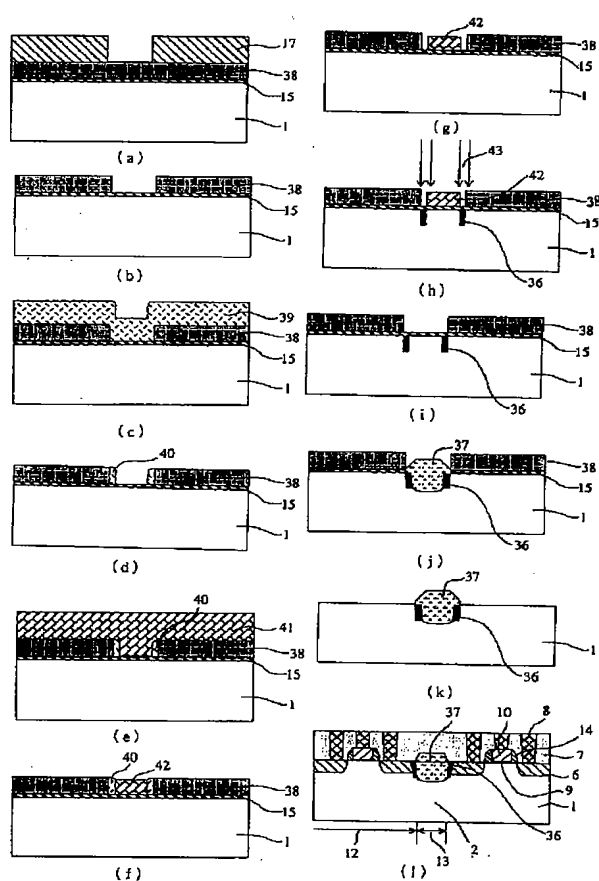
【図20】



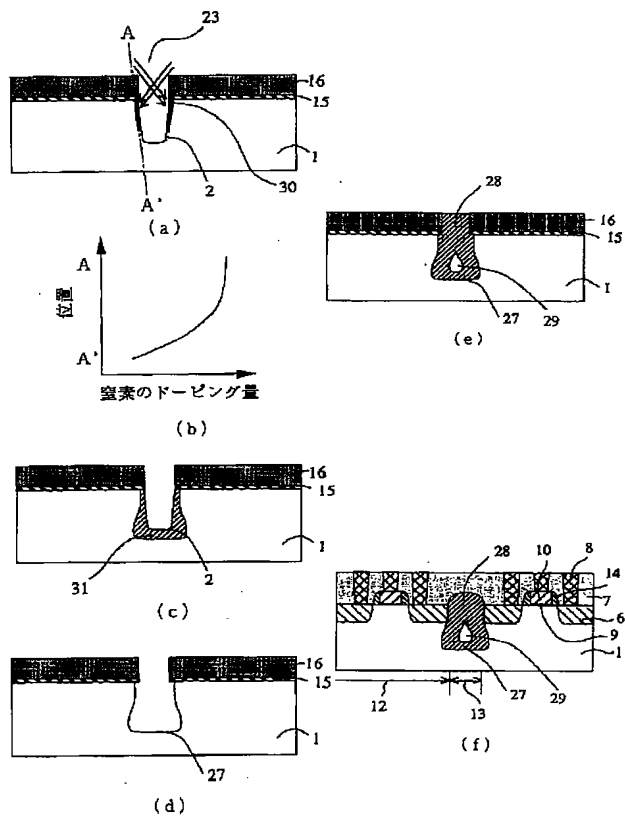
【図 7】



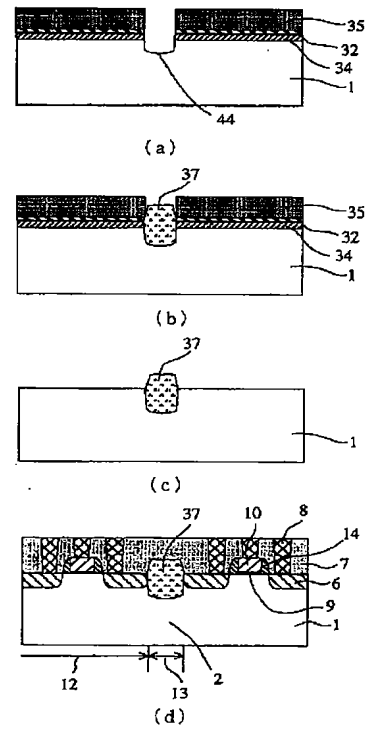
【図 12】



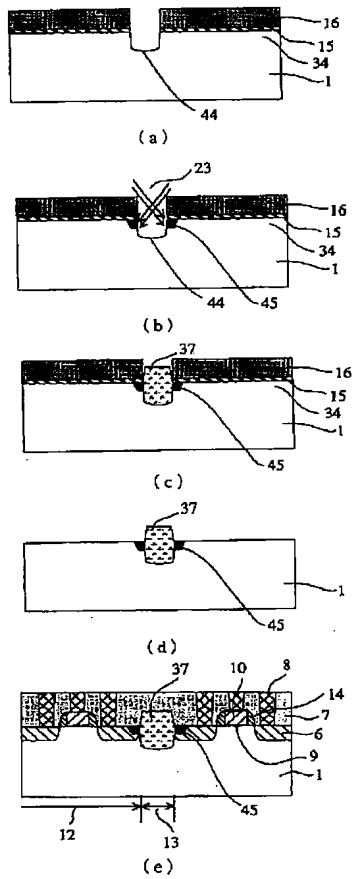
【図 9】



【図 14】



【図16】



【図21】

